

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08182305
PUBLICATION DATE : 12-07-96

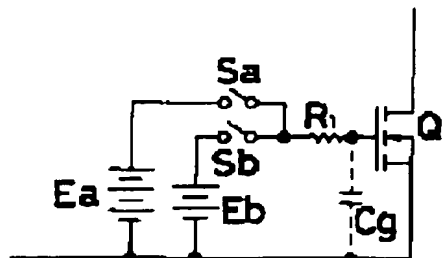
APPLICATION DATE : 27-12-94
APPLICATION NUMBER : 06323479

APPLICANT : MATSUSHITA ELECTRIC WORKS LTD;

INVENTOR : ONISHI MASAHIRO;

INT.CL. : H02M 1/08

TITLE : SWITCH DRIVING CIRCUIT



ABSTRACT : PURPOSE: To provide a switch driving circuit in which the loss can be reduced and the efficiency of the entire system can be improved.

CONSTITUTION: The series circuit of a first power source Ea and a switching element Sa is connected in series with the gate of a main switching element Q₀ via a resistor R₁, the series circuit of a second power source Eb and a switching element Sb is connected in series with the gate of the element Q₀ via the resistor R₁, and the elements Sa and Sb are alternately turned on and off to charge and discharge the gate capacity C_g, thereby turning on and off the element Q₀. Thus, a switching driver in which the gate loss can be largely reduced, and the efficiency of the entire system can be improved can be provided.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-182305

(43) 公開日 平成8年(1996)7月12日

(51) IntCl.⁶

H 0 2 M 1/08

識別記号

A

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数15 O L (全 14 頁)

(21) 出願番号 特願平6-323479

(22) 出願日 平成6年(1994)12月27日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 大西 雅人

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 弁理士 佐藤 成示 (外1名)

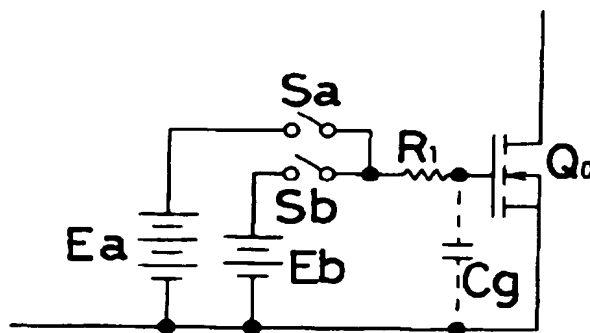
(54) 【発明の名称】 スイッチ駆動回路

(57) 【要約】

【目的】 ロスを低減可能であると共に、システム全体の効率向上が可能なスイッチ駆動回路を提供する。

【構成】 第1の電源E a、スイッチング素子S aの直列回路を、抵抗R_iを介してQ₀のゲートに直列接続し、第2の電源E b、スイッチング素子S bの直列回路を、抵抗R_iを介して主スイッチング素子Q₀のゲートに直列接続すると共に、スイッチング素子S aとスイッチング素子S bとを交互にオンオフすることによりゲート容量C_gを充放電して、主スイッチング素子Q₀をオンオフする。

【効果】 ゲートロスを大幅に低減可能で、システム全体の効率を向上可能なスイッチ駆動回路を提供できる。



【特許請求の範囲】

【請求項1】 主スイッチング素子をオンさせる電圧印加を行なう第1の電源と、前記主スイッチング素子をオフさせる電圧印加を行なう第2の電源とを備えるスイッチ駆動回路に於いて、

前記主スイッチング素子のオフ時に前記主スイッチング素子の制御端子間の電荷を蓄積するエネルギー蓄積手段を備えたことを特徴とするスイッチ駆動回路。

【請求項2】 前記エネルギー蓄積手段は、前記制御端子間に並列接続されたキャパシタンス素子であることを特徴とする請求項1記載のスイッチ駆動回路。

【請求項3】 前記エネルギー蓄積手段は、前記制御端子に直列接続されたインダクタンス素子であることを特徴とする請求項1記載のスイッチ駆動回路。

【請求項4】 前記エネルギー蓄積手段は、前記第2の電源であると共に、前記電荷を、前記第2の電源に帰還することを特徴とする請求項1記載のスイッチ駆動回路。

【請求項5】 複数の電力供給用キャパシタンス素子を設け、前記第1の電源と前記複数の電力供給用キャパシタンス素子とを並列接続して、前記複数の電力供給用キャパシタンス素子を充電し、その後前記第1の電源と前記複数の電力供給用キャパシタンス素子とを直列接続したものを、前記主スイッチング素子の制御端子間に並列接続して前記主スイッチング素子をオンさせると共に、

少なくとも前記複数の電力供給用キャパシタンス素子を並列接続したものを、前記主スイッチング素子の制御端子間に並列接続して前記主スイッチング素子をオフさせることを特徴とする、請求項1記載のスイッチ駆動回路。

【請求項6】 複数の電力供給用キャパシタンス素子を設け、前記第1の電源と前記複数の電力供給用キャパシタンス素子とを並列接続して、前記複数の電力供給用キャパシタンス素子を充電し、その後少なくとも前記複数の電力供給用キャパシタンス素子を直列接続したものを、前記主スイッチング素子の制御端子間に並列接続して前記主スイッチング素子をオンさせると共に、前記複数の電力供給用キャパシタンス素子を並列接続したものを、前記主スイッチング素子の制御端子間に並列接続して前記主スイッチング素子をオフさせることを特徴とする、請求項1記載のスイッチ駆動回路。

【請求項7】 前記第2の電源はキャパシタンス素子で、前記エネルギー蓄積手段はインダクタンス素子であると共に、前記主スイッチング素子のオフ時に、前記主スイッチング素子の制御端子間の電荷を前記インダクタンス素子に蓄えた後で前記第2の電源に供給し、前記主スイッチング素子のオン時に、少なくとも第2の電源から前記主スイッチング素子に電荷を供給した後に第1の電源から電

荷供給することを特徴とする請求項1記載のスイッチ駆動回路。

【請求項8】 前記エネルギー蓄積手段からの電荷供給を帰還される第3の電源を設けたことを特徴とする請求項1から請求項4のいずれかに記載のスイッチ駆動回路。

【請求項9】 前記第3の電源は、電力変換を行う電力変換回路であることを特徴とする請求項8記載のスイッチ駆動回路。

10 【請求項10】 前記電力変換回路は、スイッチドキャパシタ回路であることを特徴とする請求項9記載のスイッチ駆動回路。

【請求項11】 前記複数の電力供給用キャパシタンス素子を直列接続したものを、前記第1の電源と並列接続して、前記複数の電力供給用キャパシタンス素子を充電し、その後少なくとも前記複数の電力供給用キャパシタンス素子を直列接続したものを、前記主スイッチング素子の制御端子間に並列接続して前記主スイッチング素子をオンさせると共に、

20 前記複数の電力供給用キャパシタンス素子を並列接続したものを、前記主スイッチング素子の制御端子間に並列接続して前記主スイッチング素子をオフさせることを特徴とする請求項1記載のスイッチ駆動回路。

【請求項12】 前記複数の電力供給用キャパシタンス素子の充放電経路に、電流ピーク抑制インダクタンス素子を設けたことを特徴とする請求項5から請求項7のいずれかに記載のスイッチ駆動回路。

【請求項13】 前記電流ピーク抑制インダクタンス素子は、前記主スイッチング素子のオン状態とオフ状態とが切り換わる過渡状態のときに、インダクタンス値が小さくなるものであることを特徴とする請求項12記載のスイッチ駆動回路。

【請求項14】 制御端子間に容量成分を有する前記主スイッチング素子を、外部電源より電圧供給されて駆動するスイッチ駆動回路であって、

前記外部電源に直列接続された、第1のスイッチング素子及び第1のインダクタンス素子からなる直列回路と、前記主スイッチング素子の制御端子間に並列接続された第2のスイッチング素子とを備え、

40 前記第1のスイッチング素子がオンすることにより、前記第1のインダクタンス素子と前記容量成分とを共振動作させ、前記第1のインダクタンス素子に流れる電流が零になると、前記第1のスイッチング素子をオフすることにより、前記容量成分を充電して前記主スイッチング素子をオンすることと、

前記容量成分の電荷を前記外部電源に帰還しながら放電して前記主スイッチング素子をオフし、且つ前記主スイッチング素子のオフ後に前記第2のスイッチング素子をオンして前記容量成分の残留電荷を放電することとを特徴とするスイッチ駆動回路。

3

【請求項15】 複数の前記スイッチ駆動回路を同一基板上に設けると共に、複数の前記スイッチ駆動回路の相互間で電荷移動を行うことを特徴とする請求項1から請求項14のいずれかに記載のスイッチ駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSFETなどの電圧駆動型スイッチング素子のスイッチ駆動回路に関する。

【0002】

【従来の技術】 従来のスイッチ駆動回路の回路図を図17に、動作波形図を図18に示す。

【0003】 本従来例は、電源Eaの出力端にトランジスタQ₁、Q₂の直列回路を並列接続し、抵抗R₁を介して電圧駆動型の主スイッチング素子（以下、MOSFETと呼ぶ。）（Q₀）のゲート・ソース間にトランジスタQ₂を並列接続して構成されると共に、トランジスタQ₁、Q₂でMOSFET（Q₀）を駆動するものである。ここで、トランジスタQ₁、Q₂は、それぞれ信号Sig1、Sig2をベースに供給することにより交互にオンオフするものである。

【0004】 次に、図18を参照して動作を簡単に説明*

$$W_1 = 0.5 \times C_g \times (E_a)^2 \quad \dots \dots \dots (1)$$

となり、ゲート容量C_gにも0.5×C_g×(E_a)²の電荷が蓄えられる。

【0006】 またMOSFET（Q₀）がオフする状態では、トランジスタQ₂がオンすることにより、トラン※

$$W_2 = 0.5 \times C_g \times (E_a)^2 \quad \dots \dots \dots (2)$$

となる。ゆえに、1サイクルにおけるロスW₀は、

$$\begin{aligned} W_0 &= W_1 + W_2 = 2 \times 0.5 \times C_g \times (E_a)^2 \\ &= C_g \times (E_a)^2 \quad \dots \dots \dots (3) \end{aligned}$$

となる。

【0007】

【発明が解決しようとする課題】 しかし上記従来例においては、大きな電力を制御するMOSFET等のゲート容量C_gの値は大きく、また、動作周波数を高くしたり、電源電圧値E_aを高くしたりすることによりロスが大きくなってしまいますので、システム全体の効率を低下してしまう、という問題点が生じた。

【0008】 本発明は上記問題点に鑑みてなされたもので、その目的とするところは、ロスを低減可能であると共に、システム全体の効率向上が可能なスイッチ駆動回路を提供する。

【0009】

【課題を解決するための手段】 請求項1から請求項4及び請求項15記載の発明によれば、主スイッチング素子をオンさせる電圧印加を行なう第1の電源と、主スイッチング素子をオフさせる電圧印加を行なう第2の電源とを備えるスイッチ駆動回路に於いて、主スイッチング素子のオフ時に主スイッチング素子の制御端子間の電荷を

4

*する。時刻t₀で信号Sig1が高レベル（Hレベル）となると、トランジスタQ₁がオンして抵抗R₁を介してMOSFET（Q₀）のゲート容量C_gを充電することにより、ゲート電圧V_gを上昇してMOSFET（Q₀）をオンする。時刻t₁でゲート容量C_gの充電はほぼ完了し、MOSFET（Q₀）はオンを維持する。時刻t₂で信号Sig1が低レベル（Lレベル）となると共に、時刻t₃で信号Sig2がHレベルとなることにより、トランジスタQ₂がオンし、抵抗R₁を介してMOSFET（Q₀）のゲート容量C_gに充電された電荷が放電し、ゲート容量C_gの両端電圧V_gが低下してMOSFET（Q₀）がオフする。時刻t₄でゲート容量C_gの放電がほぼ完了し、時刻t₅で信号Sig2がLレベルとなり、時刻t₆で再び信号Sig1がHレベルとなる。以上の様な動作を繰り返す。

【0005】 ここで、MOSFET（Q₀）のゲート駆動の際のロスW₀を検討する。MOSFET（Q₀）がオンする状態では、トランジスタQ₁がオンすることにより、電源E_aからトランジスタQ₁、抵抗R₁（トランジスタQ₁のオン抵抗等を含む）を介してゲート容量C_gを充電する充電回路が形成され、且つゲート容量C_gの初期値がゼロであるからロスW₁は、

※ジスタQ₂、抵抗R₁（トランジスタQ₂のオン抵抗等を含む）を介してゲート容量C_gをゼロまで放電する放電回路が形成され、且つゲート容量C_gの初期値がE_aであるからロスW₂は、

蓄積するエネルギー蓄積手段を設けると共に、エネルギー蓄積手段を、制御端子間に並列接続されたキャパシタンス素子、制御端子に直列接続されたインダクタンス素子、第2の電源のいずれかにすることを特徴とする。

【0010】 請求項5、請求項6記載の発明によれば、第1の電源と複数の電力供給用キャパシタンス素子とを並列接続して、複数の電力供給用キャパシタンス素子を充電し、その後少なくとも複数の電力供給用キャパシタンス素子を直列接続したものを、主スイッチング素子の制御端子間に並列接続して主スイッチング素子をオンさせると共に、少なくとも複数の電力供給用キャパシタンス素子を並列接続したものを、主スイッチング素子の制御端子間に並列接続して主スイッチング素子をオフさせることを特徴とする。

【0011】 請求項7から請求項10記載の発明によれば、第2の電源はキャパシタンス素子で、エネルギー蓄積手段はインダクタンス素子であると共に、主スイッチング素子のオフ時に、主スイッチング素子の制御端子間の電荷をインダクタンス素子に蓄えた後で第2の電源及

び第3の電源に供給する、また、主スイッチング素子のオン時に、少なくとも第2の電源から主スイッチング素子に電荷を供給した後に第1の電源から電荷供給すると共に、第3の電源は、例えばスイッチドキャパシタ回路の様な電力変換回路であることを特徴とする。

【0012】請求項11記載の発明によれば、第1の電源と並列接続して、複数の電力供給用キャパシタンス素子を直列接続したものを充電し、その後少なくとも複数の電力供給用キャパシタンス素子を直列接続したものを、主スイッチング素子の制御端子間に並列接続して主スイッチング素子をオンさせると共に、複数の電力供給用キャパシタンス素子を並列接続したものを、主スイッチング素子の制御端子間に並列接続して主スイッチング素子をオフさせることを特徴とする。

【0013】請求項12、請求項13記載の発明によれば、複数の電力供給用キャパシタンス素子の充放電経路に、主スイッチング素子のオン状態とオフ状態とが切り換わる過渡状態に、インダクタンス値が小さくなる電流ピーク抑制インダクタンス素子を設けたことを特徴とする。

【0014】請求項14記載の発明によれば、外部電源に直列接続された第1のスイッチング素子がオンすることにより、第1のインダクタンス素子と主スイッチング素子の制御端子間の容量成分とを共振動作させ、第1のインダクタンス素子に流れる電流が零になると、第1のスイッチング素子をオフすることにより、容量成分を充電して主スイッチング素子をオンすることと、容量成分の電荷を外部電源に帰還しながら放電して主スイッチング素子をオフし、且つ主スイッチング素子のオフ後に第2のスイッチング素子をオンして容量成分の残留電荷を放電することとを特徴とする。

【0015】

【作用】請求項1記載の発明によれば、第1の電源を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分が充電されて主スイッチング素子がオンする。第2の電源を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷がエネルギー蓄積手段に蓄積される。

【0016】請求項2記載の発明によれば、第2の電源を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷がキャパシタンス素子に蓄積される。

【0017】請求項3記載の発明によれば、第2の電源を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷がインダクタンス素子に蓄積される。

【0018】請求項4記載の発明によれば、第2の電源を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷が第2の電源に帰還され、蓄積される。

【0019】請求項5記載の発明によれば、第1の電源と複数の電力供給用キャパシタンス素子とを互いに並列接続することにより、複数の電力供給用キャパシタンス素子の各々を略第1の電源電圧まで充電し、その後第1の電源と複数の電力供給用キャパシタンス素子とを直列接続したものを、主スイッチング素子の制御端子に印加して、主スイッチング素子をオンする。

【0020】複数の電力供給用キャパシタンス素子の各々を並列接続したものを、主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が、複数の電力供給用キャパシタンス素子の各々に放出されて主スイッチング素子がオフすると共に、放出された電荷が複数の電力供給用キャパシタンス素子の各々に蓄積される。

【0021】請求項6記載の発明によれば、第1の電源と複数の電力供給用キャパシタンス素子とを互いに並列接続することにより、複数の電力供給用キャパシタンス素子の各々を略第1の電源電圧まで充電し、その後少なくとも複数の電力供給用キャパシタンス素子とを直列接続したものを、主スイッチング素子の制御端子に印加して、主スイッチング素子をオンする。

【0022】複数の電力供給用キャパシタンス素子の各々を並列接続したものを、主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が、複数の電力供給用キャパシタンス素子の各々に放出されて主スイッチング素子がオフすると共に、放出された電荷が複数の電力供給用キャパシタンス素子の各々に蓄積される。

【0023】請求項7記載の発明によれば、キャパシタンス素子を主スイッチング素子の制御端子の両端に接続すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷がインダクタンス素子に蓄積された後にキャパシタンス素子に供給される。キャパシタンス素子に蓄積された電荷を、主スイッチング素子の制御端子間の容量成分に供給した後で、第1の電源を主スイッチング素子の制御端子に印加することにより、主スイッチング素子をオンする。

【0024】請求項8記載の発明によれば、第2の電源を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷がエネルギー蓄積手段に蓄積された後に第3の電源に帰還され、蓄積される。

【0025】請求項9記載の発明によれば、第2の電源

を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷がエネルギー蓄積手段に蓄積された後に電力変換回路に帰還されて蓄積された後に、電力変換される。

【0026】請求項10記載の発明によれば、第2の電源を主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が放出されて主スイッチング素子がオフすると共に、放出された電荷がエネルギー蓄積手段に蓄積された後にスイッチドキャパシタ回路に帰還されて蓄積された後に、電力変換される。

【0027】請求項11記載の発明によれば、第1の電源と複数の電力供給用キャパシタンス素子を直列接続したものとを並列接続することにより、複数の電力供給用キャパシタンス素子を直列接続したものを略第1の電源電圧まで充電し、その後少なくとも複数の電力供給用キャパシタンス素子を直列接続したものを、主スイッチング素子の制御端子に印加して、主スイッチング素子をオンする。

【0028】複数の電力供給用キャパシタンス素子の各々を並列接続したものを、主スイッチング素子の制御端子に印加すると、主スイッチング素子の制御端子間の容量成分の電荷が、複数の電力供給用キャパシタンス素子の各々に放出されて主スイッチング素子がオフすると共に、放出された電荷が複数の電力供給用キャパシタンス素子の各々に蓄積される。

【0029】請求項12記載の発明によれば、電流ピーク抑制インダクタンス素子に流れる電力供給用キャパシタンスの充放電電流が増加していき、やがてピーク値を向かえ、減少してゼロとなった時に、電力供給用キャパシタンスの充電と放電とを切り換える。この場合の充放電電流は共振的に滑らかになる。

【0030】請求項13記載の発明によれば、主スイッチング素子のオン状態とオフ状態とが切り換わる過渡状態のときに、電流ピーク抑制インダクタンス素子のインダクタンス値を小さくして、主スイッチング素子の制御端子間の容量成分を流れる電流の立ち上がりの傾斜、及び立ち下りの傾斜を急にする。

【0031】請求項14記載の発明によれば、第1のス*

$$W_4 = 0.5 \times C_g \times (E_a - E_b)^2 \quad \dots \dots \dots (4)$$

となる。

【0037】また、オン時にゲート容量 C_g の電圧が E_a であり、MOSFET (Q_0) がオンからオフに移行※

$$W_5 = 0.5 \times C_g \times (E_a - E_b)^2 \quad \dots \dots \dots (5)$$

となる。ゆえに、1サイクルにおけるロス W_3 は、

$$\begin{aligned} W_3 &= W_4 + W_5 \\ &= 2 \times 0.5 \times C_g \times (E_a - E_b)^2 = C_g \times (E_a - E_b)^2 \end{aligned} \quad \dots \dots \dots (6)$$

となる。従来例のロス W_0 と比較すると、その比率 X ($=W_3/W_0$) は、

*スイッチング素子がオンすると、第1のインダクタンス素子と主スイッチング素子の制御端子間の容量成分とが共振動作する。そして、外部電源より第1のインダクタンス素子に流れる電流が零になったときに、第1のスイッチング素子をオフすると、主スイッチング素子の制御端子間の容量成分が充電されて、主スイッチング素子がオンする。

【0032】また、第1のスイッチング素子がオンすると、主スイッチング素子の制御端子間の容量成分の電荷が、第1のインダクタンス素子を介して外部電源に帰還しながら放電して主スイッチング素子をオフする。そして、主スイッチング素子がオフした後に第2のスイッチング素子をオンすると、主スイッチング素子の制御端子間の容量成分の残留電荷が、第2のスイッチング素子を介して放電される。

【0033】請求項15記載の発明によれば、同一基板上に設けられたスイッチ駆動回路の相互間で電荷の移動が行われる。

【0034】

20 【実施例】

(実施例1) 本発明の第1実施例に係る回路図を図1に示す。

【0035】本回路は、第1の電源 E_a 、スイッチング素子 S_a の直列回路を、抵抗 R_i を介してMOSFET (Q_0) のゲートに直列接続し、第2の電源 E_b 、スイッチング素子 S_b の直列回路を、抵抗 R_i を介してMOSFET (Q_0) のゲートに直列接続すると共に、スイッチング素子 S_a とスイッチング素子 S_b とを交互にオンオフすることによりゲート容量 C_g を充放電するものである。つまり、スイッチング素子 S_a がオンすると抵抗 R_i を介してゲート容量 C_g が充電されるので、MOSFET (Q_0) がオンする。スイッチング素子 S_b がオンすると抵抗 R_i を介してゲート容量 C_g に充電された電荷が抵抗 R_i を介して放出されて、MOSFET (Q_0) がオフする。

【0036】ここで、ゲート駆動の際のロス W_3 を検討する。MOSFET (Q_0) のオフ時はゲート容量 C_g の電圧が E_b であり、MOSFET (Q_0) がオフからオンに移行するとゲート容量 C_g の電圧は E_a となるからロス W_4 は、

※するとゲート容量 C_g の電圧は E_b となるからロス W_5 は、

9

10

$$X = W_3 / W_0 = C_g \times (E_a - E_b)^2 / C_g \times (E_a)^2 \\ = (E_a - E_b)^2 / (E_a)^2 \quad \dots \dots \dots (7)$$

となる。ここでMOSFET (Q_0) のオンオフのスレッシュホルド電圧 V_{th} を、 E_a と E_b との中間に設定する必要がある。例えば、

$$E_b = 0.5 \times E_a \quad \dots \dots \dots (8)$$

とすると、式 (7) より比率 X は、

$$X = (E_a - E_b)^2 / (E_a)^2 \\ = (E_a - 0.5 \times E_a)^2 / (E_a)^2 \\ = (0.5 \times E_a)^2 / (E_a)^2 = 0.25 \quad \dots \dots \dots (9)$$

となり、ロス W_3 をロス W_0 の 0.25 倍とすることが可能となる。10 ※ C_g の両端電圧 V_g は低下する。このとき、キャパシタンス素子 C_1 、 C_2 の両端電圧 V_{c1} 、 V_{c2} は若干上昇する。

【0038】この様に構成したことにより、ゲートロスを大幅に低減でき、システム全体の効率を向上できる。

【0039】(実施例2) 本発明に係る第2実施例の回路図を図2に、動作波形図を図3に示す。

【0040】本回路は電力供給用キャパシタンス素子 C_1 、 C_2 (以下、キャパシタンス素子 C_1 、 C_2 と呼ぶ。) とスイッチング素子 $S_1 \sim S_6$ とからなると共に、スイッチング素子 $S_1 \sim S_6$ を切り換えることによりキャパシタンス素子 C_1 、 C_2 を互いに直列もしくは並列接続する直列・並列切換え回路を、電源 E の両端に並列接続し、MOSFET (Q_0) のゲート容量 C_g の充放電を行なうものである。ここで、キャパシタンス素子 C_1 、 C_2 、ゲート容量 C_g の両端電圧をそれぞれ V_{c1} 、 V_{c2} 、 V_g とする。

【0041】次に、図3を用いて簡単に動作を説明する。時刻 t_0 でスイッチング素子 S_1 がオンする。このとき、スイッチング素子 S_2 、 S_3 はオン、スイッチング素子 S_4 、 S_5 、 S_6 はオフしているので、キャパシタンス素子 C_1 、 C_2 が電源 E に並列接続されてそれぞれ電源電圧値 E まで充電される。

【0042】時刻 t_1 でスイッチング素子 S_1 、 S_2 、 S_3 がオフして時刻 t_2 でスイッチング素子 S_4 、 S_5 がオンすると、キャパシタンス素子 C_1 とキャパシタンス素子 C_2 とが直列接続され、抵抗 R_1 を介してゲート容量 C_g をキャパシタンス素子 C_1 とキャパシタンス素子 C_2 との略総電圧 ($= 2 \times E$ 弱) まで充電する。このとき、キャパシタンス素子 C_1 、 C_2 の両端電圧 V_{c1} 、 V_{c2} は若干減少する。時刻 t_3 でスイッチング素子 S_4 、 S_5 がオフして時刻 t_4 でスイッチング素子 S_2 、 S_3 がオンすると、キャパシタンス素子 C_1 とキャパシタンス素子 C_2 とが並列接続され、時刻 t_5 でスイッチング素子 S_6 がオンすると、キャパシタンス素子 C_1 とキャパシタンス素子 C_2 とからなる並列回路にさらにゲート容量 C_g が並列接続されるので、ゲート容量 ※

$$7/1 = 7 \text{ 個} \quad \dots \dots \dots (10)$$

となる。よって、電源 E からキャパシタンス素子 $C_1 \sim C_7$ の各々を充電するときには図4 (b) に示す様に、電源 E とキャパシタンス素子 $C_1 \sim C_7$ の各々を並列接続し、ゲート容量 C_g を充電するときには図4 (c)

10 ※ C_g の両端電圧 V_g は低下する。このとき、キャパシタンス素子 C_1 、 C_2 の両端電圧 V_{c1} 、 V_{c2} は若干上昇する。時刻 t_6 でスイッチング素子 S_6 がオフし、時刻 t_7 で時刻 t_0 と同様にキャパシタンス素子 C_1 、 C_2 が電源 E から充電される。以上の動作を繰り返す。

【0043】ここで、ゲート容量 C_g を放電する場合、先ずキャパシタンス素子 C_1 とキャパシタンス素子 C_2 とを接続することによって、例えばゲート容量 C_g とキャパシタンス素子 C_1 とを先に接続してからゲート容量 C_g とキャパシタンス素子 C_2 とを接続する場合と比べて、放電先の容量が大きくなりキャパシタンス素子 C_1 + キャパシタンス素子 C_2 、 C_1 、 C_2 の電圧上昇が少なくなるので、キャパシタンス素子 C_1 、 C_2 として耐電圧の低いものを使用することができる。

【0044】(実施例3) 本発明に係る第3実施例の回路図を図4に示す。

【0045】図2に示した第2実施例と異なる点は、用いるキャパシタンス素子の数をキャパシタンス素子 $C_1 \sim C_7$ の7つにして、キャパシタンス素子 $C_1 \sim C_7$ を互いに直並列接続することにより、スレッシュホルド電圧 V_{th} よりもより高く、且つMOSFET (Q_0) がオンする時の電圧 V_H を、ゲート容量 C_g に印加すると共に、スレッシュホルド電圧 V_{th} よりもより低く、且つMOSFET (Q_0) がオフする時の電圧 V_L で、ゲート容量 C_g の電荷を帰還させようとするものである。

【0046】図4 (a) に示す様に例えば、スレッシュホルド電圧 V_{th} を3Vとし、MOSFET (Q_0) がオンする時の電圧 V_H をスレッシュホルド電圧 V_{th} よりも電圧 α だけ高い電圧 ($= 7V$) とし、MOSFET (Q_0) がオフする時の電圧 V_L をスレッシュホルド電圧 V_{th} よりも電圧 β だけ低い電圧 ($= 1V$) とする。そして、キャパシタンス素子 $C_1 \sim C_7$ の1個当たりの電圧を電圧 V_L 付近に設定すれば、キャパシタンス素子の個数は、電圧 V_H を電圧 V_L で割った値の整数倍となるように設定すれば良く、この場合は、

に示す様に、キャパシタンス素子 $C_1 \sim C_7$ を直列接続したものをゲート容量 C_g に並列接続する。ゲート容量 C_g の両端電圧 V_g を低下するときには図4 (d) に示す様に、ゲート容量 C_g とキャパシタンス素子 $C_1 \sim C$

7. の各々とを並列接続する。

* * 【0047】上記の動作によるロス W_6 は、

$$\begin{aligned} W_6 &= (V_H - V_L)^2 / V_H^2 \\ &= (7 - 1)^2 / 7^2 = 36 / 49 \approx 0.73 \text{ 倍} \dots\dots (11) \end{aligned}$$

となる。

【0048】上記第2及び第3実施例に示した様に構成したことにより、2つの電圧を2つ以上のキャパシタンス素子の直並列接続の組みかえで得ることができる。また、上記第2及び第3実施例では、先ず電源Eにキャパシタンス素子 $C_1 \sim C_7$ をそれぞれ並列接続し、ゲート容量 C_g をキャパシタンス素子 $C_1 \sim C_7$ の略総電圧(=7×E弱)まで充電したが、先ず電源Eにキャパシタンス素子 $C_1 \sim C_7$ の直列回路を並列接続し、ゲート容量 C_g をキャパシタンス素子 $C_1 \sim C_7$ の略総電圧(=E弱)まで充電してもよい。

【0049】更に、本実施例に於いては、キャパシタンス素子の個数を7つにしたが、2つ以上であればいくつでもよい。

【0050】(実施例4)本発明に係る第4実施例の回路図を図5に示す。

【0051】図2に示した第2実施例と異なる点は、スイッチング素子 S_1 とスイッチング素子 S_3 との間に電流ピーク抑制インダクタンス素子 L_1 (以下、インダクタンス素子 L_1 と呼ぶ。)を直列接続し、ゲート容量 C_g と直列に電流ピーク抑制インダクタンス素子 L_2 (以下、インダクタンス素子 L_2 と呼ぶ。)を接続したことであり、その他の第2実施例と同一構成には同一符号を付すことにより説明を省略する。

【0052】スイッチング素子 $S_1 \sim S_6$ の動作は図3に示したものとほぼ同様となる。なお、スイッチング素子 S_1, S_5, S_6 がオンして各インダクタンス素子 L_1, L_2 の電流が増加し、やがてピーク値を向かえ、減少してゼロとなった時点でスイッチング素子 S_1, S_5, S_6 をオフする。この様に動作することにより、インダクタンス素子 L_1, L_2 がない場合にはピークの高い微分波形の電流となっていたものが、インダクタンス素子 L_1, L_2 の挿入によって共振的な滑らかな電流とすることができ、さらにロスを低減できる。

【0053】(実施例5)本発明に係る第5実施例の回路図を図6に示す。

【0054】本回路は、キャパシタンス素子 C_1 とスイッチング素子 S_1, S_2, S_7, S_8 とからなると共に、スイッチング素子 S_1, S_2, S_7, S_8 を切り換えることによりキャパシタンス素子 C_1 を電源Eに対して直列もしくは並列接続する直列・並列切換回路を、電源Eの両端に並列接続し、MOSFET(Q_0)のゲート容量 C_g の充放電を行なうものである。

【0055】ゲート容量 C_g の充電時には、スイッチング素子 S_1, S_2 をオフ、スイッチング素子 S_7, S_8 をオンし、電源Eとキャパシタンス素子 C_1 とを直列接続することにより、電源電圧Eをキャパシタンス素子C

1の両端電圧に重畳する。ゲート容量 C_g の放電時には、スイッチング素子 S_1, S_2, S_8 をオン、スイッチング素子 S_7 をオフし、電源E、キャパシタンス素子 C_1 、ゲート容量 C_g を互いに並列接続する。

【0056】この様に構成したことにより、電源電圧Eの重畳ができるので、キャパシタンスの個数及びスイッチング素子の個数の削減ができる。なお、キャパシタンス素子は複数個用いてもよい。

【0057】また、上記第2から第5実施例に於いては、ゲート容量 C_g の電荷の一部を複数のキャパシタンス素子に帰還して再度活用し、電源Eからは動作によって失われた電荷のみを供給することによって、ゲートロスを大幅に低減でき、システム全体の効率を向上できる。

【0058】(実施例6)本発明に係る第6実施例の回路図を図7に、動作波形図を図8に示す。

【0059】本回路は、スイッチング素子 S_1, S_2 、インダクタンス素子 L_1 、抵抗 R_1 から構成されると共に、電源Eからスイッチング素子 S_1 、インダクタンス素子 L_1 、抵抗 R_1 を介してゲート容量 C_g に電荷を供給するものである。

【0060】次に、図8を用いて動作を説明する。時刻 t_0 でスイッチング素子 S_1 がオンすると、Eよりインダクタンス素子 L_1 を介してゲート容量 C_g との共振によって電流 I_g が流れ、ゲート容量 C_g の両端電圧 V_g が上昇していく。時刻 t_1 でゲート容量 C_g の両端電圧 V_g がスレッシュホールド電圧 V_{th} を越えて、MOSFET(Q_0)がオンする。時刻 t_2 で電流 I_g がゼロとなるので、この時にスイッチング素子 S_1 をオフする。また、ゲート容量 C_g の両端電圧 V_g は最大値となる。時刻 t_3 で再びスイッチング素子 S_1 がオンすると、今度はゲート容量 C_g から抵抗 R_1 、インダクタンス素子 L_1 を介して電源E側に電流が流れて、ゲート容量 C_g の両端電圧 V_g は減少していき、時刻 t_4 で電流 I_g がゼロとなるので、スイッチング素子 S_1 をオフする。しかし、回路内のロス(例えば抵抗 R_1)によって共振が弱まるので、ゲート容量 C_g の両端電圧 V_g はゼロとはならず若干の電圧を持っている。時刻 t_5 でスイッチング素子 S_2 がオンすることにより、ゲート容量 C_g に残った電圧を抵抗 R_1 で消費させてゲート容量 C_g の両端電圧 V_g をゼロにする。時刻 t_6 でスイッチング素子 S_2 をオフにする。ここで、抵抗 R_1 が小さいほど動作によって失われる電荷は少なくなる。

【0061】本実施例に於いては、ゲート容量 C_g の電荷の一部を複数のキャパシタンス素子に帰還して再度活用し、ゲート容量 C_g の残留電荷のみをスイッチング素子 S_2 の動作でロスとするので、電源Eからは動作によ

って失われた電荷のみを供給することとなり、ゲートロスを大幅に低減でき、システム全体の効率を向上できる。

【0062】（実施例7）本発明に係る第7実施例の回路図を図9に、動作波形図を図10に示す。

【0063】本回路は、スイッチング素子 S_1 、 S_2 、 S_0 、インダクタンス素子 L_2 、キャパシタンス素子 C_0 、 D_1 、抵抗 R_1 から構成されると共に、ゲート容量 C_g からの帰還電荷を一旦インダクタンス素子 L_2 に蓄え、さらにキャパシタンス素子 C_0 に蓄えて再利用するものである。

【0064】次に、図10を参照して動作を簡単に説明する。なお、定常的に動作している途中のサイクルであるとする。

【0065】時刻 t_0 でスイッチング素子 S_2 がオンすると、キャパシタンス素子 C_0 がインダクタンス素子 L_2 、抵抗 R_1 を介してMOSFET(Q_0)のゲート容量 C_g に並列接続される。ここで、キャパシタンス素子 C_0 がゲート容量 C_g に対して十分大きいとすると、インダクタンス素子 L_2 とゲート容量 C_g との共振によってキャパシタンス素子 C_0 の電荷の一部がゲート容量 C_g に移動する。ゲート容量 C_g が充電されることにより、ゲート容量 C_g の両端電圧 V_g が上昇してスレッシュOLD電圧 V_{th} に達すると、MOSFET(Q_0)がオンする。時刻 t_1 までに電流 I_g がゼロとなるとスイッチング素子 S_2 をオフする。時刻 t_1 でスイッチング素子 S_1 をオンすることにより、抵抗 R_1 を介してさらにゲート容量 C_g が充電され、ゲート容量 C_g の両端電圧 V_g が上昇し、時刻 t_2 で最大値となる。時刻 t_3 でスイッチング素子 S_1 をオフ、時刻 t_4 でスイッチング素子 S_0 をオンすると、ゲート容量 C_g の電荷はインダクタンス素子 L_2 との共振によりインダクタンス素子 L_2 の磁気エネルギーに移り変わっていく。時刻 t_5 でインダクタンス素子 L_2 に流れる電流 I_L が最大となると共に、ゲート容量 C_g の両端電圧 V_g がゼロとなり、時刻 t_6 までにMOSFET(Q_0)はオフする。また、時刻 t_6 でスイッチング素子 S_0 がオフすると、ダイオード D_1 を介してインダクタンス素子 L_2 に蓄えられていたエネルギーがキャパシタンス素子 C_0 に充電されていく。時刻 t_6 でダイオード D_1 の順方向の電流 I_D がゼロとなり、ダイオード D_1 がオフするのでインダクタンス素子 L_2 に電流 I_L が流れなくなる。

【0066】以上の様に動作することにより、ゲート容量 C_g の電荷のほぼ全部がキャパシタンス素子 C_0 に移る。

【0067】（実施例8）本発明に係る第8実施例の回路図を図11に示す。

【0068】図9に示した第7実施例と異なる点は、スイッチング素子 S_1 とスイッチング素子 S_2 との間にインダクタンス素子 L_1 を直列接続したことであり、その

他の第7実施例と同一構成には同一符号を付すことにより説明を省略する。なお、スイッチング素子 S_1 、 S_2 、 S_0 の動作は図10に示したものとほぼ同様となる。

【0069】また、スイッチング素子 S_1 のオフのタイミングは、インダクタンス素子 L_1 、 L_2 に流れる電流が増加し、ピークを向かえて減少してゼロとなった時とする。この様に動作することにより、インダクタンス素子 L_1 、 L_2 がない場合にピークの高い微分波形の電流となっていたものが、インダクタンス素子 L_1 、 L_2 の挿入によって共振的な滑らかな電流とすることができ、さらにロスを低減できるものである。

【0070】上記第7及び第8実施例に於いては、インダクタンス素子 L_2 を介して共振的にゲート容量 C_g の両端電圧 V_g 、電流 I_g を変化させ、一旦磁気エネルギーに変換してからゲート容量 C_g の電荷のほぼ全部を電源Eに帰還して再度活用し、電流ピークをインダクタンス素子 L_1 、 L_2 で抑制し、抵抗 R_1 でのロスを低減することによって、電源Eからは動作によって失われた電荷のみを供給することとなり、ゲートロスを大幅に低減でき、システム全体の効率を向上できる。

【0071】（実施例9）本発明に係る第9実施例の回路図を図12に、動作波形図を図13に示す。

【0072】本回路は、第7実施例に示した図9の回路を、トランジスタ等を用いて具体回路にしたものであり、スイッチング素子 S_0 をトランジスタ Q_{12} 、ダイオード D_{13} で構成し、スイッチング素子 S_2 をトランジスタ Q_{11} で構成する。

【0073】次に、図13を参照して動作を簡単に説明する。なお、定常的に動作している途中のサイクルであるとする。

【0074】時刻 t_0 で信号 S_{1g3} がHレベルとなると、信号 S_{1g3} はNOTゲート IC_2 、 IC_3 で反転され、NOTゲート IC_2 、 IC_3 の出力電圧 V_d 、 V_e はLレベルとなる。NOTゲート IC_3 の出力電圧 V_e は、キャパシタンス素子 C_{12} 、抵抗 R_3 、ダイオード D_{12} 、抵抗 R_4 を介してダイオード D_{12} の順方向電圧降下より小さいマイナス電圧 V_f となり、トランジスタ Q_{12} はオフしている。また、NOTゲート IC_2 の出力電圧 V_d により、抵抗 R_6 、ダイオード D_{14} を介してトランジスタ Q_{11} はオンする。トランジスタ Q_{11} がオン、トランジスタ Q_{12} がオフすることにより、キャパシタンス素子 C_0 がトランジスタ Q_{11} 、ダイオード D_{17} 、抵抗 R_1 、ダイオード D_{13} 、インダクタンス素子 L_2 を介してゲート容量 C_g に接続される。ここで、キャパシタンス素子 C_0 がゲート容量 C_g に対して十分大きいとすると、インダクタンス素子 L_2 とゲート容量 C_g とによる共振によって、キャパシタンス素子 C_0 の電荷の一部がゲート容量 C_g に移動し、ゲート容量 C_g が充電されることによりゲート容量 C_g の両端電圧 V_g は上昇してい

15

く。時刻 t_1 までに電流 I_g がゼロとなると、ダイオード D_{17} がオフすることによって、インダクタンス素子 L_2 を介するキャパシタンス素子 C_0 の放電が停止する。

【0075】また、時刻 t_0 で信号 S_{ig3} がHレベルとなると、抵抗 R_5 、ダイオード D_{16} 、キャパシタンス素子 C_{13} 、NOTゲート IC_1 から構成される遅延回路 1 により、キャパシタンス素子 C_{13} の両端電圧が徐々に上昇し、時刻 t_1 でNOTゲート IC_1 のスレッシュホールド電圧を越えると、NOTゲート IC_1 の出力電圧 V_a がHレベルとなる。そして、電圧 V_a からダイオード D_{15} 、抵抗 R_1 を介してさらにゲート容量 C_g が充電され、ゲート容量 C_g の両端電圧 V_g が上昇し、時刻 t_2 で最大値となる。時刻 t_3 で信号 S_{ig3} がLレベルとなると、ダイオード D_{16} がオンすることによりキャパシタンス素子 C_{13} が瞬時に放電するので、キャパシタンス素子 C_{13} の両端電圧が低下し、NOTゲート IC_1 のスレッシュホールド電圧を下回ると、NOTゲート IC_1 の出力電圧 V_a がLレベルとなる。また、信号 S_{ig3} はNOTゲート IC_2 、 IC_3 で反転され、NOTゲート IC_2 、 IC_3 の出力電圧 V_d 、 V_e はHレベルとなる。出力電圧 V_d によりダイオード D_{14} はオフするので、トランジスタ Q_{11} はオフすると共に、NOTゲート IC_3 の出力電圧 V_e は、キャパシタンス素子 C_{12} 、抵抗 R_3 、 R_4 によりプラス電圧 V_f となり、トランジスタ Q_{12} はオンする。トランジスタ Q_{12} がオンすることにより、ゲート容量 C_g の電荷はインダクタンス素子 L_2 との共振によりインダクタンス素子 L_2 の磁気エネルギーに移り変わっていく。

【0076】時刻 t_4 までに、キャパシタンス素子 C_{12} 、抵抗 R_3 、 R_4 を介してキャパシタンス素子 C_{12} が徐々に充電されることにより電圧 V_f が次第に低下する。時刻 t_4 で電流 I_L 、 I_g が最大となり、ゲート容量 C_g の両端電圧 V_g がゼロとなると共に、トランジスタ Q_{12} がオフする。トランジスタ Q_{12} がオフすることにより、インダクタンス素子 L_2 に蓄えられていたエネルギーが、ダイオード D_1 を介してキャパシタンス素子 C_0 に充電される。やがて、ダイオード D_1 の順方向の電流がゼロとなり、ダイオード D_1 がオフすることによってインダクタンス素子 L_2 に電流が流れなくなると、ゲート容量 C_g の電荷のほぼ全部がキャパシタンス素子 C_0 に移ったことになる。

【0077】（実施例10）本発明に係る第10実施例の回路図を図14に示す。

【0078】図7に示した第6実施例と異なる点は、インダクタンス素子 L_1 の代りに、インダクタンス素子 L_{11} とインダクタンス素子 L_{12} 、スイッチング素子 S_{12} からなる並列回路との直列回路2a（以下、インダクタンス回路2aと呼ぶ。）を設けて、電源Eからインダクタンス回路2a、スイッチング素子 S_1 、抵抗 R_1 を介してゲート容量 C_g に電荷を供給するものであり、その他

16

の第6実施例と同一構成には同一符号を付すことにより説明を省略する。

【0079】次に、動作を簡単に説明する。ゲート容量 C_g を充電する場合、スイッチング素子 S_1 、 S_{12} をオンすると、ゲート容量 C_g はインダクタンス素子 L_{11} 、抵抗 R_1 を介して充電され、ゲート容量 C_g の両端電圧 V_g が上昇し、MOSFET (Q_0) のスレッシュホールド電圧を越えると、MOSFET (Q_0) がスイッチング動作を行ってオンしようとする。MOSFET (Q_0) のスイッチング動作がほぼ終わり、MOSFET (Q_0) が完全にオンするまではスイッチング素子 S_{12} はオンし、その後はスイッチング素子 S_{12} をオフしてインダクタンス素子 L_{11} 、 L_{12} を直列接続する。

【0080】また、ゲート容量 C_g を放電する場合、スイッチング素子 S_1 をオン、スイッチング素子 S_{12} をオフすると、ゲート容量 C_g はインダクタンス素子 L_{11} 、抵抗 R_1 を介して放電するので、ゲート容量 C_g の両端電圧 V_g が下降し、MOSFET (Q_0) のスレッシュホールド電圧を下回るまではスイッチング素子 S_{12} はオフする。ゲート容量 C_g の両端電圧 V_g がMOSFET (Q_0) のスレッシュホールド電圧を下回ると、MOSFET (Q_0) がスイッチング動作を行ってオフしようとする。MOSFET (Q_0) のスイッチング動作がほぼ終わり、MOSFET (Q_0) が完全にオフするまではスイッチング素子 S_{12} はオンする。

【0081】この様に動作することにより、例えばインダクタンス素子 L_{11} とインダクタンス素子 L_{12} との総インダクタ値を、図7に示したインダクタンス素子 L_1 と略等しくなる様にすれば、全体の電荷移動動作を大きく変えることなく、インダクタンス素子 L_{11} のみとインダクタンス素子 L_{11} 、 L_{12} の直列接続とでは電流 I_g の波形の傾斜を変えることができる。つまり、インダクタンス素子 L_{11} だけの場合は、電流 I_g はより急な傾斜とすることができるので、MOSFET (Q_0) のスイッチングロスを低減できる。

【0082】（実施例11）本発明に係る第11実施例の回路図を図15に示す。

【0083】図14に示した第10実施例と異なる点は、インダクタンス回路2a及びスイッチング素子 S_1 の代わりに、スイッチング素子 S_1 、インダクタンス素子 L_{11} の直列回路及びスイッチング素子 S_{13} 、インダクタンス素子 L_{12} の直列回路からなる並列回路と、電源E、スイッチング素子 S_{13} からなる直列回路の両端に並列接続されると共に、インダクタンス素子 L_{12} の電流を逆流させるダイオード D_{20} とからなるインダクタンス回路2bを設けて、電源Eからインダクタンス回路2b、抵抗 R_1 を介してゲート容量 C_g に電荷を供給するものであり、その他の第10実施例と同一構成には同一符号を付すことにより説明を省略する。

【0084】ゲート容量 C_g を充電する場合、スイッ

ング素子 S_1 、 S_{13} をオンすると、ゲート容量 C_g はインダクタンス素子 L_{11} 及びインダクタンス素子 L_{12} 、抵抗 R_1 を介して充電されるので、ゲート容量 C_g の両端電圧 V_g が上昇し、MOSFET (Q_0) のスレッシュホールド電圧を越えると、MOSFET (Q_0) がスイッチング動作を行ってオンしようとする。MOSFET (Q_0) のスイッチング動作がほぼ終わり、MOSFET (Q_0) が完全にオンするまではスイッチング素子 S_{13} はオンし、その後はスイッチング素子 S_{13} をオフして、若干のダイオード D_{20} を還流するインダクタンス素子 L_{12} の電流が流れるが、インダクタンス素子 L_{11} のみをゲート容量 C_g に接続する。

【0085】また、ゲート容量 C_g を放電する場合、スイッチング素子 S_1 をオン、スイッチング素子 S_{13} をオフすると、ゲート容量 C_g はインダクタンス素子 L_{11} 、抵抗 R_1 を介して放電するので、ゲート容量 C_g の両端電圧 V_g が下降し、MOSFET (Q_0) のスレッシュホールド電圧を下回るまではスイッチング素子 S_{13} がオフする。ゲート容量 C_g の両端電圧 V_g がMOSFET (Q_0) のスレッシュホールド電圧を下回ると、MOSFET (Q_0) がスイッチング動作を行ってオフしようとする。MOSFET (Q_0) のスイッチング動作がほぼ終わり、MOSFET (Q_0) が完全にオフするまではスイッチング素子 S_{13} はオンし、インダクタンス素子 L_{11} 、 L_{12} を流れる電流がゼロになればスイッチング素子 S_1 、 S_{13} をオフする。

【0086】この様に動作することにより、例えばインダクタンス素子 L_{11} とインダクタンス素子 L_{12} との総インダクタ値を、図7に示したインダクタンス素子 L_1 と略等しくなる様にすれば、全体の電荷移動動作を大きく変えることなく、インダクタンス素子 L_{11} のみとインダクタンス素子 L_{11} 、 L_{12} の並列接続とでは電流 I_g の波形の傾斜を変えることができる。つまり、インダクタンス素子 L_{11} 、 L_{12} の並列接続の場合は、電流 I_g はより急な傾斜とすることができるので、MOSFET (Q_0) のスイッチングロスを低減でき、またゲート容量 C_g の残留電荷のみをスイッチング素子 S_2 の動作でロスとすることができる。

【0087】上記第7から第11本実施例に於いては、インダクタンス素子 L_1 、 L_2 、 L_{11} 、 L_{12} を介して共振的にゲート容量 C_g の両端電圧 V_g 、電流 I_g を変化させ、一旦磁気エネルギーに変換してからゲート容量 C_g の電荷のほぼ全部を電源 E もしくは信号 S_{1g3} に帰還して再度活用し、電流ピークをインダクタンス素子 L_1 、 L_2 、 L_{11} 、 L_{12} で減少し、抵抗 R_1 でのロスを低減することによって、電源 E もしくは信号 S_{1g3} からは動作によって失われた電荷のみを供給することとなり、ゲートロスを大幅に低減でき、システム全体の効率を向上できる。

【0088】(実施例12) 本発明に係る第12実施例

のブロック構成図を図16に示す。

【0089】本ブロック構成図は、電源 E_r と、電源 E_r とMOSFET (Q_0) の制御端子との間に接続されたスイッチドキャパシタ回路 S 、 C と、第3の電源 E_r とから構成されると共に、ゲート容量 C_g から電源 E_r へ帰還していたエネルギーを、もしくは中間的なインダクタ及びキャパシタに帰還して再利用していたエネルギーを、他の電源 E_r 及び他の負荷に供給しようとするものである。

【0090】つまり、電源 E_r に帰還していたエネルギーを、もしくは中間的なインダクタ及びキャパシタに帰還して再利用していたエネルギーを、例えばスイッチドキャパシタ回路 S 、 C で電源 E_r へ供給しやすく、且つ電源 E_r よりも若干高い電圧に変換すれば、異なる電源への供給が可能となる。

【0091】なお、電源 E_r と電源 E_r とを互いに入れ換えて、ゲート容量 C_g から電源 E_r へエネルギーを帰還する様にしてもよく、この様に構成したことにより、ゲートロスを大幅に低減することが可能となり、システム全体の効率を向上ができる。

【0092】また、上記全ての実施例に於いては、1個の主スイッチング素子 Q_0 について述べてきたが、主スイッチング素子及びその駆動回路を複数設けて、それぞれの主スイッチング素子及びその駆動回路に本発明による構成及び動作を適用し、それぞれの主スイッチング素子及びその駆動回路を同一の基板上に構成して、各々の主スイッチング素子及びその駆動回路間で相互に電荷の移動を行なってもよい。

【0093】

【発明の効果】請求項1から請求項4及び請求項15記載の発明によれば、ゲートロスを大幅に低減可能で、システム全体の効率を向上可能なスイッチ駆動回路を提供できる。

【0094】請求項5、請求項6記載の発明によれば、2つの電圧を2つ以上のキャパシタンス素子の直並列接続の組みかえで得ることが可能で、耐電圧の低いキャパシタンス素子を使用することが可能であると共に、ゲートロスを大幅に低減可能で、システム全体の効率を向上可能なスイッチ駆動回路を提供できる。

【0095】請求項7から請求項11記載の発明によれば、電源からは動作によって失われた電荷のみを供給することが可能であると共に、ゲートロスを大幅に低減可能で、システム全体の効率を向上可能なスイッチ駆動回路を提供できる。

【0096】請求項12、請求項13記載の発明によれば、充放電電流のピークを抑えることが可能であると共に、ゲートロスを大幅に低減可能で、システム全体の効率を向上可能なスイッチ駆動回路を提供できる。

【0097】請求項14記載の発明によれば、電源からは動作によって失われた電荷のみを供給することが可能

19

であると共に、ゲートロスを大幅に低減可能で、システム全体の効率を向上可能なスイッチ駆動回路を提供できる。

【図面の簡単な説明】

- 【図1】 本発明に係る第1実施例の回路図を示す。
 【図2】 本発明に係る第2実施例の回路図を示す。
 【図3】 上記実施例に係る動作波形図を示す。
 【図4】 本発明に係る第3実施例の回路図を示す。
 【図5】 本発明に係る第4実施例の回路図を示す。
 【図6】 本発明に係る第5実施例の回路図を示す。
 【図7】 本発明に係る第6実施例の回路図を示す。
 【図8】 上記実施例に係る動作波形図を示す。
 【図9】 本発明に係る第7実施例の回路図を示す。
 【図10】 上記実施例に係る動作波形図を示す。
 【図11】 本発明に係る第8実施例の回路図を示す。

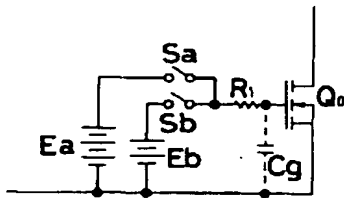
20

- 【図12】 本発明に係る第9実施例の回路図を示す。
 【図13】 上記実施例に係る動作波形図を示す。
 【図14】 本発明に係る第10実施例の回路図を示す。
 【図15】 本発明に係る第11実施例の回路図を示す。
 【図16】 本発明に係る第11実施例のブロック構成図を示す。
 【図17】 本発明に係る従来例の回路図を示す。
 【図18】 上記従来例に係る動作波形図を示す。

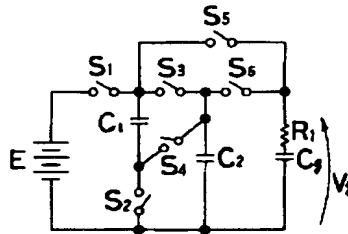
【符号の説明】

- 10 C キャパシタンス素子
 E 電源
 I 電流
 L インダクタンス素子
 Q スwitchング素子
 S, C. スイッチドキャパシタ

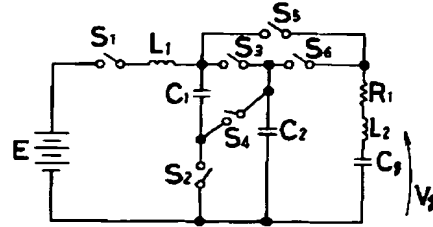
【図1】



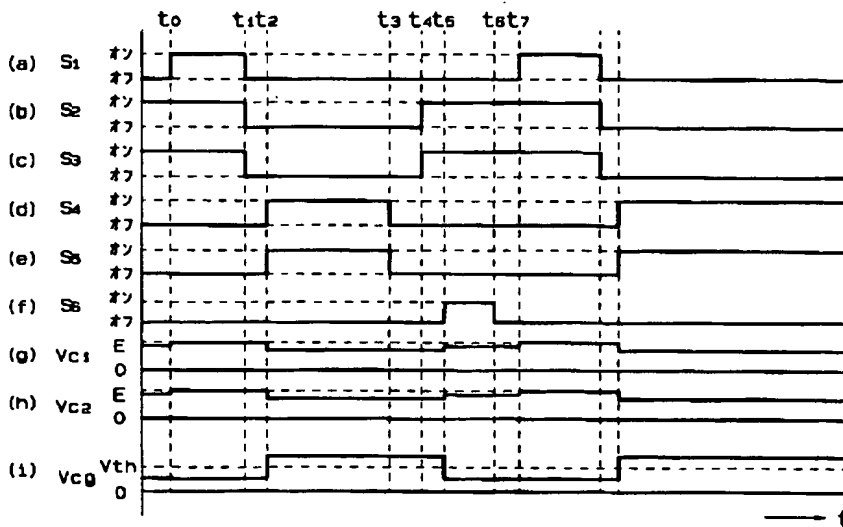
【図2】



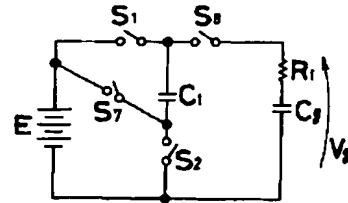
【図5】



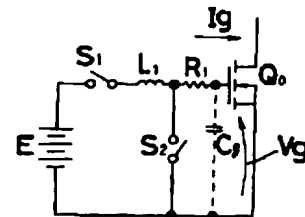
【図3】



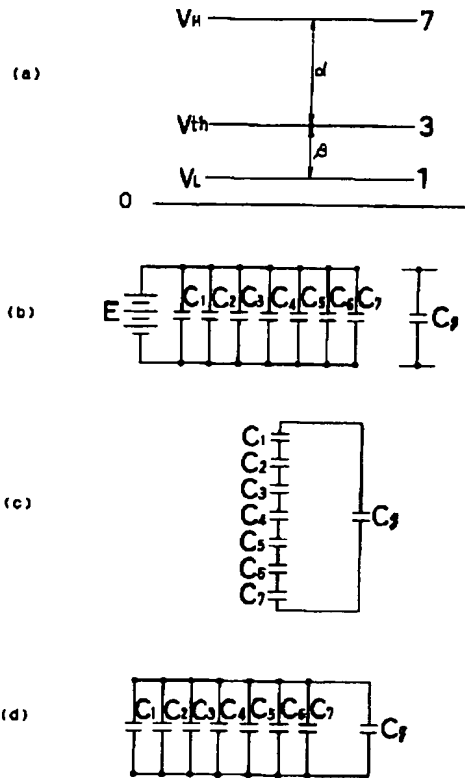
【図6】



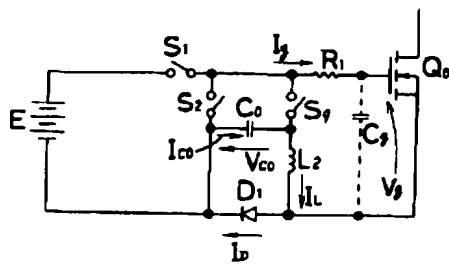
【図7】



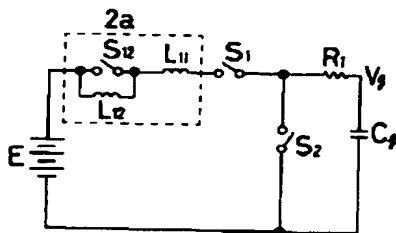
【図4】



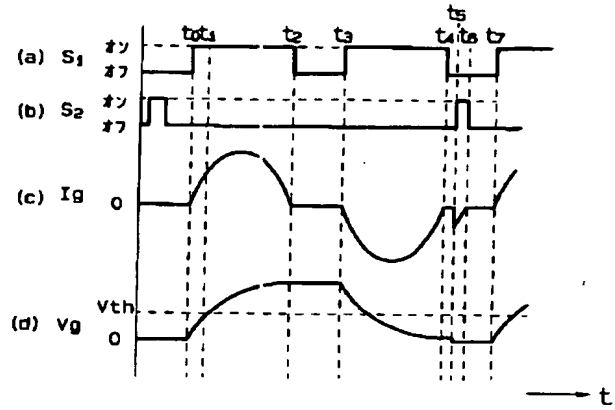
【図9】



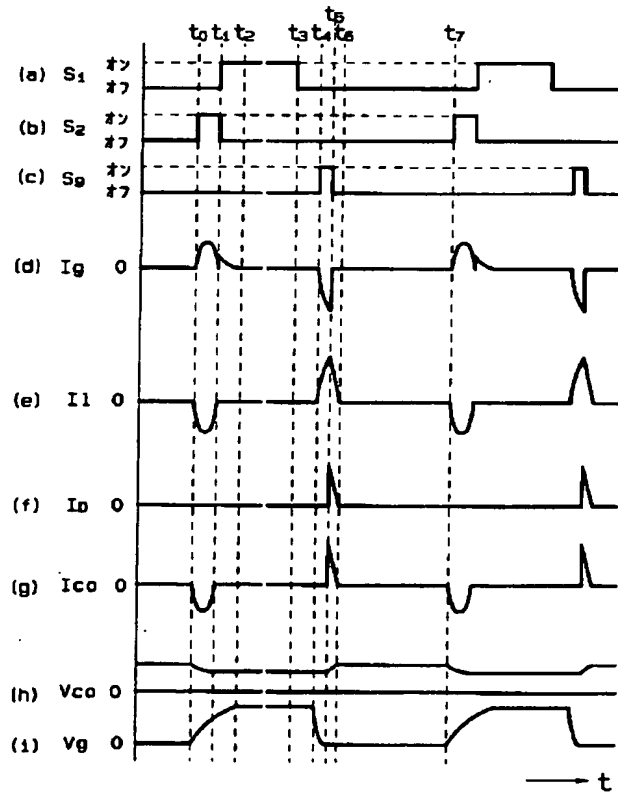
【図14】



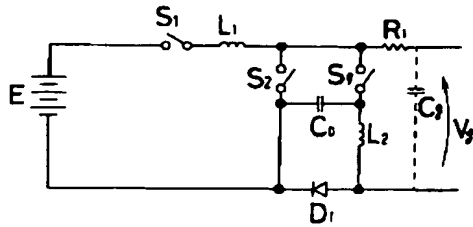
【図8】



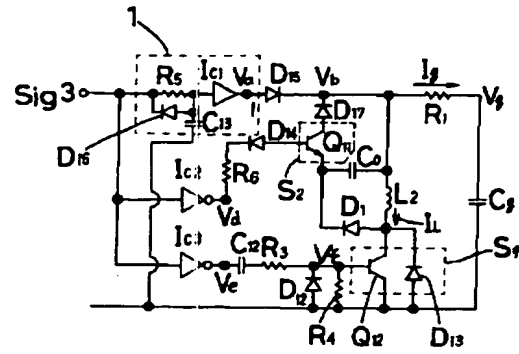
【図10】



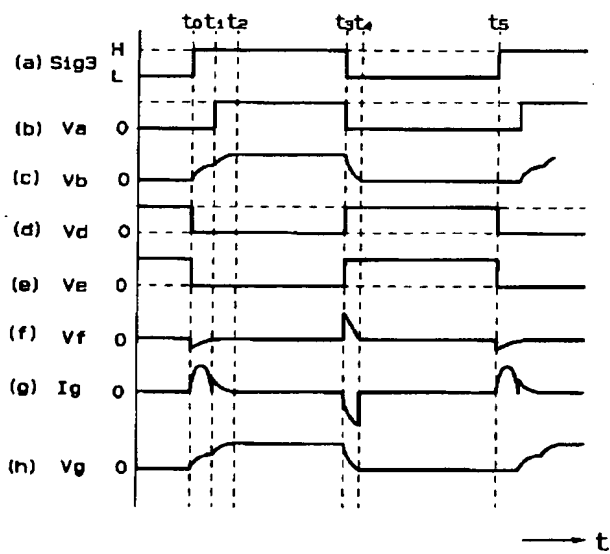
【図11】



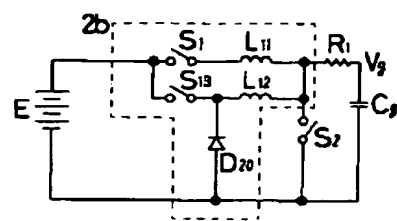
【図12】



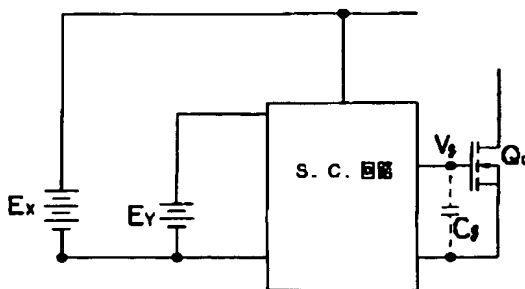
【図13】



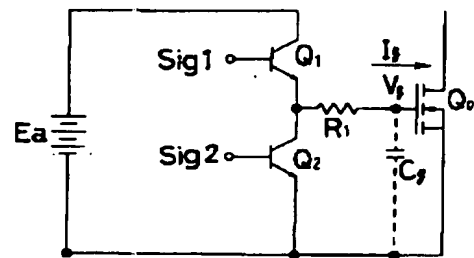
【図15】



【図16】



【図17】



【図18】

